

## Patent Abstracts of Japan

PUBLICATION NUMBER : 04087184  
PUBLICATION DATE : 19-03-92

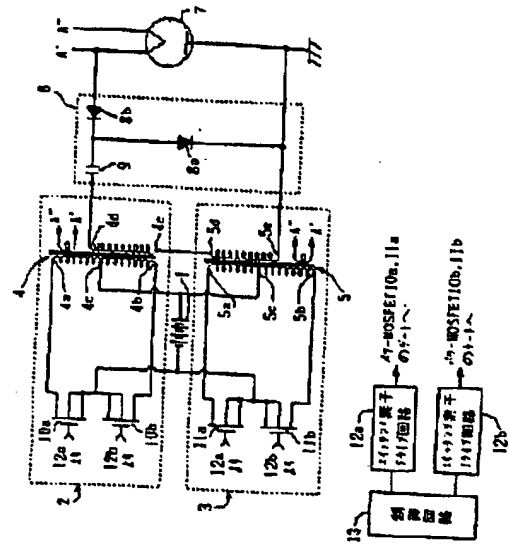
APPLICATION DATE : 26-07-90  
APPLICATION NUMBER : 02200690

APPLICANT : SHARP CORP;

INVENTOR : KODAMA HIROICHI;

INT.CL. : H05B 6/66

TITLE : DRIVER CIRCUIT FOR INVERTER  
TYPE MICROWAVE OVEN



**ABSTRACT :** PURPOSE: To accomplish a driver circuit using a low voltage DC power supply, which assures a high power utilization factor and high output at a low cost, by connecting two inverter circuits in parallel with the DC power supply, and furnishing two booster transformers.

**CONSTITUTION:** A driver circuit for inverter type microwave oven is equipped with push-pull type inverter circuits 2, 3 and a voltage doubler half-wave rectifying circuit 6, and with the output therefrom a magnetron 7 is driven. In these inverter circuits 2, 3 switching elements 10a, 10b and 11a, 11b, two each, are connected with the primary windings of booster transformers 4, 5 so as to form a closed loop, and the connecting points of these switching elements 10a, 10b and 11a, 11b and center taps 4c, 5c of the primary windings of the booster transformers 4, 5 are connected with the two ends of a DC power supply 1, and the drive is done with a control circuit 13. Therefore, the currents flowing through the primary sides of the booster transformers 4, 5 are switched at a high speed. This permits accomplishing a driver circuit for inverter type microwave oven using a low-voltage DC power supply, with which a high output and high efficiency are assured at a low cost.

COPYRIGHT: (C)1992,JPO&Japio

⑮ Int. Cl.<sup>5</sup>

H 05 B 6/66

識別記号

B

庁内整理番号

8815-3K

⑬ 公開 平成4年(1992)3月19日

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 インバータ電子レンジの駆動回路

⑯ 特 願 平2-200690

⑰ 出 願 平2(1990)7月26日

⑱ 発 明 者 岡 本 光 央 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

⑲ 発 明 者 小 玉 博 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 青 山 葆 外1名

## 明 細 書

## 1. 発明の名称

インバータ電子レンジの駆動回路

## 2. 特許請求の範囲

(1) 2つのスイッチング素子と昇圧トランスの1次側巻線とを接続して閉ループが形成され、上記2つのスイッチング素子の接続点と上記昇圧トランスの1次側巻線のセンタータップとが直流電源の両端に接続される2つのプッシュプル方式インバータ回路を備え、

上記2つのプッシュプル方式インバータ回路の昇圧トランスの2次側巻線の一端を互いに接続し、

さらに、上記2つのプッシュプル方式インバータ回路の2つの昇圧トランスの2次側巻線の他端に接続され、マグネトロンに電力を供給する倍電圧整流回路と、

上記2つのインバータ回路の一方のスイッチング素子と他方のスイッチング素子と同じデューティサイクルで交互にオンオフする制御手段を備えたことを特徴とするインバータ電子レンジの駆動回

路。

(2) 上記昇圧トランスのリーケージインダクタンスおよび倍電圧整流回路のコンデンサの容量値および回路抵抗の値、あるいは上記スイッチング素子のデューティサイクルを調整して、上記スイッチング素子に流れる電流波形の2分の1の周期が上記デューティサイクルと等しくなるように設定したことを特徴とする請求項1に記載のインバータ電子レンジの駆動回路。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は、低電圧直流電源を高電圧の高周波電流に変換し、これを倍電圧整流回路により整流してマグネトロンの電力を供給するインバータ電子レンジの駆動回路に関するものである。

## 【従来の技術】

近年、通常は商用交流電源で使用していた電気・電子機器において、屋外での使用を考慮した機器が各種開発されており、現在家庭内で広く利用されているインバータ電子レンジにおいても屋外

での使用が試みられている。

従来の典型的なインバータ電子レンジの構成を第8図に示す。このインバータ電子レンジでは商用電源(100V、50/60Hz)から得られた交流電力は整流回路で直流電力に変換される。この直流電力は一石共振型インバータ回路で高周波化され、昇圧トランスで昇圧される。トランス出力は倍電圧整流回路で整流され、マグネトロンの駆動に利用される。

上記インバータ電子レンジを屋外で使用する際には自動車用蓄電池等の12V、24V等の低電圧直流電源で使用する必要があり、第9図に示すように、低電圧直流電源とインバータ電子レンジの間にDC/ACインバータを設け、低電圧直流電源の出力をDC/ACインバータによって商用交流電源と同じ100V、50/60Hzの交流電力に変換し、この交流電力でインバータ電子レンジを作動させていた。

【発明が解決しようとする課題】

上述したようにインバータ電子レンジを低電圧

【課題を解決するための手段】

本発明のインバータ電子レンジの駆動回路は、2つのスイッチング素子と昇圧トランスの1次側巻線とを接続して閉ループが形成され、上記2つのスイッチング素子の接続点と上記昇圧トランスの1次側巻線のセンタータップとが直流電源の両端に接続される2つのプッシュプル方式インバータ回路を備え、上記2つのプッシュプル方式インバータ回路の昇圧トランスの2次側巻線の一端を互いに接続し、さらに、上記2つのプッシュプル方式インバータ回路の2つの昇圧トランスの2次側巻線の他端に接続され、マグネトロンの電力を供給する倍電圧整流回路と、上記2つのインバータ回路の一方のスイッチング素子と他方のスイッチング素子を同じデューティサイクルで交互にオンオフする制御手段を備えたことを特徴としている。また、上記昇圧トランスのリーケージインダクタンスおよび倍電圧整流回路のコンデンサの容量値および回路抵抗の値、あるいは上記スイッチング素子のデューティサイクルを調整して、上

直流電源で使用する場合、DC/ACインバータを使用して交流電力をインバータ電子レンジに入力する方法では、DC/ACインバータとインバータ電子レンジのインバータ回路とで2度の電力変換が行なわれるため、電力の利用率が極めて低くなるという問題がある。また、2台の独立したインバータを必要とすることから電源回路のコストも高くなる。

また、従来のインバータ電子レンジの一石共振型インバータ電源回路に低電圧直流電源を直接に接続するように仕様を変更することは理論的には可能であるが、電源電圧を低くする分、電流量の非常に大きなスイッチング素子を必要とする。このような電流量を持つスイッチング素子は現状では非常に高価なものとなる。

本発明はこのような現状に鑑みてなされたものであり、その目的とするところは、低電圧直流電源を電源として、しかも安価でコンパクト、かつ高出力で高効率なインバータ電子レンジの駆動回路を提供することにある。

記スイッチング素子に流れる電流波形の2分の1の周期が上記デューティサイクルと等しくなるように設定することが望ましい。

【作用】

2つのインバータ回路の合計4つのスイッチング素子を同時にオフした状態(休止期間)から、2つのインバータ回路の一方のスイッチング素子を2つ同時にオンすると、倍電圧コンデンサは昇圧トランスのリーケージインダクタンス、倍電圧整流回路の倍電圧コンデンサのキャパシタンス、回路抵抗(但しマグネトロンの抵抗は除く)で定まる振動の弧を描く電流で充電される。倍電圧コンデンサの充電電圧の大きさは倍電圧コンデンサの初期電圧とスイッチング素子のオン時間の長さで決まる。次に、前記と同じ2つのスイッチング素子をオフすると、2つの昇圧トランスに蓄えられた電磁エネルギーが倍電圧コンデンサに供給されながら電源に回生され、休止期間となる。

次に、休止期間の後、2つのインバータ回路の他方のスイッチング素子をオンすると、昇圧トラ

ンスのリーケージインダクタンスと倍電圧コンデンサのキャパシティ、マグネトロンの抵抗を含む回路抵抗で定まる振動の弧を描く電流でマグネトロンの電気エネルギーが供給される。ここでマグネトロンの供給される電力は、倍電圧コンデンサの電圧とスイッチング素子のオン時間の長さで決まる。そして上記2つのインバータ回路の他方のスイッチング素子がオフすると、昇圧トランスに蓄えられた電磁エネルギーがマグネトロンの供給されながら電源に回生される。

以上のスイッチング動作が繰り返されてマグネトロンは高周波電力を発振する。

また、2つのインバータ回路を直流電源と並列に接続して昇圧トランスを2個設けているので、昇圧トランスを1個設ける場合に比べて昇圧トランス1個当たりのトランス巻線比は半減し、昇圧トランスのリーケージインダクタンスが極めて小さくなり、スイッチング素子の電流波形の固有周波数の高周波化が図れる。

また、昇圧トランスのリーケージインダクタン

スによる電圧降下を昇圧する昇圧トランス4および5の出力を整流する倍電圧半波整流回路6を備えており、この倍電圧半波整流回路6の出力によってマグネトロン7が駆動される。昇圧トランス4および5の2次側からは、マグネトロン7のフィラメント加熱用電源も供給される。

上記倍電圧半波整流回路6は公知の構成を有しており、2個の高圧ダイオード8a, 8bおよび倍電圧コンデンサ9を備えている。

上記インバータ回路2および3は、それぞれ2個のパワーMOSFET(メタル・オキシド・セミコンダクター・フィールド・エフェクト・トランジスタ)10a, 10bおよび11a, 11bと、昇圧トランス4および5を備えている。

また、制御回路13とスイッチング素子ドライブ回路12aおよび12bで制御手段を構成しており、上記スイッチング素子ドライブ回路12a, 12bは上記パワーMOSFET10a, 10b, 11a, 11bを駆動する。

上記パワーMOSFET10aおよび10bのド

レインおよび倍電圧整流回路の倍電圧コンデンサの容量および回路抵抗の値、あるいは上記スイッチング素子のデューティサイクルを調整して、上記スイッチング素子に流れる電流波形の固有周波数の2分の1の周期とスイッチング素子のオン時間とを等しく設定した場合には、出力される回路出力電力は最大となる。また、このとき、スイッチング素子のオフからオンへの遷移時およびオンからオフへの遷移時にスイッチング素子に流れる電流はほぼゼロになるため遷移損が非常に小さくなり、スイッチング損失が低減する。

#### 【実施例】

以下、本発明のインバータ電子レンジの駆動回路について添付図面を参照して詳細に説明する。

第1図は本発明の一実施例を示す回路図である。第1図に示すように、このインバータ電子レンジは、低電圧直流電源(例えば自動車用蓄電池)1の直流電力を高周波電力に変換するブッシュブル方式インバータ回路(以下、インバータ回路)2および3と、上記インバータ回路2および3に設けら

れたインバータ回路2および3の1次巻線の一端4aおよび他端4bにそれぞれ接続され、またパワーMOSFET10aおよび10bのソース同士が接続されており、さらにパワーMOSFET10a, 10bのゲートがスイッチング素子ドライブ回路12a, 12bにそれぞれ接続されている。また、上記パワーMOSFET11aおよび11bのドレインは昇圧トランス5の1次巻線の一端5aおよび他端5bにそれぞれ接続され、またパワーMOSFET11aおよび11bのソース同士が接続されており、さらにパワーMOSFET11a, 11bのゲートがスイッチング素子ドライブ回路12a, 12bにそれぞれ接続されている。

また、昇圧トランス4の2次巻線の一端4eと昇圧トランス5の2次巻線の一端5bが接続されている。

直流電源1は、上記2つのインバータ回路2, 3と並列に接続される。すなわち、直流電源1の負極側が、パワーMOSFET10aおよび10bのソース同士の接続点と、パワーMOSFET1

1aおよび11bのソースの接続点に接続される。

また、直流電源1の正極側は、昇圧トランス4の

- a 1<sup>st</sup>次巻線のセンタータップ4cおよび昇圧トランス5のセンタータップ5cに接続される。

ここで、スイッチング素子であるパワーMOSFET10a,10b,11a,11bが、スイッチング素子ドライブ回路12a,12bを介して制御回路13によって駆動されることにより、昇圧トランス4および5の1次側を流れる電流が高速にスイッチングされる。なお、スイッチング素子としては、パワーMOSFETに代えて、IGBT(インシュレーティド・ゲート・バイポーラ・トランジスタ)等の電圧駆動型パワーデバイスを用いてもよい。

第2図は制御回路13の回路図である。同図に示すように、発振回路21はトグルフリップフロップ22と鋸歯状波発生回路23に接続され、トグルフリップフロップ22は2つのANDゲート25a,25bに、また鋸歯状波発生回路23は比較回路24を介して上記ANDゲート25a,25b

MOSFET10b,11bを交互に駆動する。

上記ANDゲート25aおよび25bの出力は、それぞれスイッチング素子ドライブ回路12a,12bを経て、パワーMOSFET10a,10b,11a,11bのゲートに与えられる。ANDゲート25aの出力がハイレベルの時、パワーMOSFET10aと11aはオン状態になる。またANDゲート25bの出力がハイレベルの時パワーMOSFET10bと11bはオン状態になる。

第3図は制御回路13の動作タイミングを示す図である。同図に示すように、ANDゲート25a及び25bの出力は交互にハイレベルになるので、パワーMOSFET10a,11aとパワーMOSFET10b,11bも交互にオン状態にされる。ここでANDゲート25aおよび25bの出力は同時にローレベルになる期間、つまりデッドタイムが存在するように、基準値が設定されている。なお、デッドタイムはパワーMOSFET10aと10bあるいは11aと11bが同時にオンして短絡状態になるのを防止するために設けたものであ

に接続されている。上記トグルフリップフロップ22は発振回路21の出力信号をトリガとして、2相分割信号を出力する。上記2相分割信号は2つのANDゲート25a,25bにそれぞれ入力される。一方、上記鋸歯状波発生回路23に与えられた発振出力は、発振回路21の発振周波数に同期した鋸歯状波に変換された後に、比較回路24に入力される。そして、この比較回路24において、マグネトロン7の出力を決定するための基準値(すなわちパワーMOSFETをオンする時間を設定するためのスレッシュドレベル)と鋸歯状波との比較が行なわれ、比較回路24の出力は鋸歯状波の電圧レベルが基準値より大きい期間にハイレベルになり、予め設定されたオン時間となるように変調される。変調された信号は上記ANDゲート25a,25bに入力され、トグルフリップフロップ22で2相に分割された信号とANDをとることで、スイッチング素子としての4つのパワーMOSFETを同時にオフする期間を持ちながら、パワーMOSFET10a,11aとパワーMOSFET10b,11bを交互に駆動する。

次に、本実施例の動作を説明する。パワーMOSFET10a,10b,11a,11bがともにオフしている状態からインバータ回路2のパワーMOSFET10bとインバータ回路3のパワーMOSFET11bがオンすると、昇圧トランス4,5の2次側回路は高圧コンデンサ9、高圧ダイオード8a、昇圧トランス5の2次巻線の一端5e、2次巻線の他端5d、昇圧トランス4の2次巻線の一端4e、2次巻線の他端4dの閉ループに電流が流れ、倍電圧コンデンサ9が充電される。なお、倍電圧コンデンサ9の充電電圧の大きさは、倍電圧コンデンサ9の初期電圧とスイッチング素子としてのパワーMOSFET10a,10b,11a,11bのオン時間の長さで決まる。

次に、再び上記と同じパワーMOSFET10b,11bをオフすると、昇圧トランス4および5に蓄えられた電磁エネルギーが倍電圧コンデンサ9に供給されながら電源1に回生され、4つのパワーMOSFET10a,10b,11a,11bが同時

オフする期間に移る。

次に、インバータ回路2,3のパワーMOSFET 10a, 11aがオンすると、昇圧トランス4, 5の2次側回路は高圧ダイオード8b、倍電圧コンデンサ9、昇圧トランス4の2次巻線の一端4d、2次巻線の他端4e、昇圧トランス5の2次巻線の一端5d、2次巻線の他端5e、マグネトロン7の閉ループに電流が流れ、マグネトロン7に電気エネルギーが供給される。ここでマグネトロン7に供給される電力は倍電圧コンデンサ9の電圧とパワーMOSFET 10a, 10b, 11a, 11bのオン時間の長さで決まる。そしてパワーMOSFET 10a, 11aをオフすると、昇圧トランス4および5に蓄えられた電磁エネルギーはマグネトロン7に供給されながら電源1に回生される。以上の動作が繰り返されてマグネトロン7は高周波電力の発振を続ける。

上記倍電圧コンデンサ9には昇圧トランス4および5のリーケージインダクタンスの和、倍電圧コンデンサ9のキャパシタンス、回路抵抗(但し

ETのオン期間における電流(電流波形のオン期間における積分値)はほぼ最大になり、したがって、回路出力電力もほぼ最大にできる。なお、 $T_{on} < 1/(2F)$ 、 $T_{on} > 1/(2F)$ にすると、第4図(b), (c)に示すように、オン期間における電流が小さくなる。

第5図は本実施例( $T_{on} = 1/(2F)$ )におけるパワーMOSFETのスイッチング損失の説明図である。第5図参照して、スイッチング損失が低減できることを説明する。第5図において、破線はパワーMOSFETの電圧波形であり、実線はパワーMOSFETの電流波形である。また、第5図に示すように、パワーMOSFETのオフからオンへの遷移時のライズタイム $T_r$ およびオンからオフへの遷移時のフォールタイム $T_f$ にパワーMOSFETに流れるドレイン電流がほぼゼロとなるため遷移損の発生が極力抑えられ、スイッチング損失を低減できる。なお、一般的なスイッチング素子は、第6図に示すように、ライズタイム $T_r$ およびフォールタイム $T_f$ におけるスイッチ

ング電流が大きく遷移損が大きい。マグネトロン7の抵抗分は除く)で定まる振動の弧を描くパワーMOSFET 10b, 11bのドレイン電流波形と同様の電流波形で充電され、またマグネトロン7には昇圧トランス4および5のリーケージインダクタンスの和と倍電圧コンデンサ9のキャパシタンス、回路抵抗(但しマグネトロン7の抵抗分を含む)で定まる振動の弧を描くパワーMOSFET 10a, 11aのドレイン電流波形と同様の電流波形で電気エネルギーが供給される。

第4図(a)は本実施例におけるパワーMOSFETに流れる電流波形を示す図である。同図を参照して回路出力電力が向上できることを詳細に説明する。上記電流波形は昇圧トランス4および5のリーケージインダクタンスの和、倍電圧コンデンサ9のキャパシタンス、回路抵抗の各値で定まる固有周波数 $F$ で振動する。この波形の2分の1周期をパワーMOSFETのオン時間 $T_{on}$ に等しくなるように振動させると( $T_{on} = 1/(2F)$ にすると)、第4図(a)に示すようにパワーMOSF

ETのオン期間における電流(電流波形のオン期間における積分値)はほぼ最大になり、したがって、回路出力電力もほぼ最大にできる。なお、 $T_{on} < 1/(2F)$ 、 $T_{on} > 1/(2F)$ にすると、第4図(b), (c)に示すように、オン期間における電流が小さくなる。

具体的な昇圧トランス4および5のリーケージインダクタンスの和と倍電圧コンデンサ9のキャパシタンスの設定は以下の通りである。

パワーMOSFETの電流波形の固有周波数 $F$ は次式で示される。

$$F = \frac{\beta}{2\pi}, \text{ 但し } \beta = \sqrt{\frac{1}{n^2 \cdot L \cdot C} - \left(\frac{R}{2L}\right)^2}$$

ここで、L: 昇圧トランス4および5のリーケージインダクタンスの和

C: 倍電圧コンデンサのキャパシタンス

R: 回路抵抗

n: 昇圧用トランス巻数比

したがって、パワーMOSFET 10a, 11aおよび10b, 11bのオン時間を $T_{on}$ として

$$T_{on} = \frac{1}{2F} = \frac{\pi}{\sqrt{\frac{1}{n^2 \cdot L \cdot C} - \left(\frac{R}{2L}\right)^2}}$$

となるようにL、C、Rの値を設定する。また逆に、L、C、Rで定まる固有周波数の周期の2分

の1にパワーMOSFET10a,11aおよび10b,11bのオン時間を設定してもよい。

また、本実施例におけるインバータ回路2とインバータ回路3の並列接続は、スイッチング素子のオン抵抗が半減できるため回路抵抗低減の役割を有している。したがって、第7図に示すように、回路抵抗を小さくした分だけ、スイッチング電流が大きくなり出力をアップすることができる。さらに、インバータ回路を並列接続させることのメリットとして、1石あたりの回路電流低減による導通損失低減の効果もある。

また、先に述べた通り、パワーMOSFET10b,11bがオンして、倍電圧コンデンサ9に充電される期間の回路抵抗はマグネトロン7の抵抗分を含まないが、パワーMOSFET10a,11aがオンしてマグネトロン7に電気エネルギーが供給される期間の回路抵抗はマグネトロン7の抵抗分を含む。このとき回路抵抗にはマグネトロン7の抵抗分として、マグネトロン7の等価抵抗を1次側に変換した値が加わる。しかしながら、本回

路では低電圧直流電源を電源としており、商用電源を直接整流するのと比較して、昇圧トランス4および5の巻数比 $n$ が高いことからマグネトロン7の抵抗分は非常に小さい。したがって、パワーMOSFET10a,11aがオン期間でも、またパワーMOSFET10b,11bがオン期間でも同様のスイッチング電流波形が得られ、どちらの場合であってもほぼ最大出力が得られる。その上、パワーMOSFETのオフ時における遅移振を抑えることができる。

ところで、駆動回路のコンパクト化を実現するには、スイッチング素子のスイッチング周波数の高周波化を要し、このためには、上記4つのパワーMOSFETのオン時間 $T_{on}$ を短縮する必要がある。そして、 $T_{on}$ を短縮するためには、回路抵抗 $R$ の値が上述の通り定まっているとすると、上記 $T_{on}$ の算出式から、昇圧トランス4および5のリーケージインダクタンスの和であるしあるいは倍電圧コンデンサ7のキャパシタンス $C$ の値を低減すればよいことがわかる。ここで、昇圧トラン

ス4および5のリーケージインダクタンスの和であるしについては、第1図に示した本実施例の回路図の通り2つのインバータ回路2と3を直流電源1と並列に接続して昇圧トランスを2個設けているので、昇圧トランス1個当たりのトランス巻線比が半減でき、昇圧トランスのリーケージインダクタンスが極めて小さくなる。このため、上記スイッチング周波数を高周波化でき、駆動回路をコンパクト化できるのである。

尚、第1図で示した本実施例の他、直流電源にブッシュアップ方式インバータを3回路以上並列接続してもよい。また、上記インバータ回路の各スイッチング素子を2個以上並列接続してもよい。

#### 【発明の効果】

以上のように、本発明によれば、従来とは異なり、DC/ACインバータを使用しないので、安価で電力利用効率の高い、かつ高出力なインバータ電子レンジの駆動回路を提供できる。さらに、低電圧の直流電源を直接高周波電流に変換しているので、駆動回路の中でも最も大きく、しかも重

量のある昇圧用トランスの小型化、軽量化が可能となり、しかも、2つのインバータ回路を直流電源と並列に接続して昇圧トランスを2個設けているので、昇圧トランスを1個設ける場合に比べて昇圧トランス1個当たりのトランス巻線比は半減し、昇圧トランスのリーケージインダクタンスが極めて小さくなり、スイッチング素子の電流波形の固有周波数が高周波化するので、駆動回路のコンパクト化が図れる。また、2つのインバータ回路を並列接続しているため、スイッチング素子のオン抵抗が半減できて回路抵抗を低減できて、回路抵抗を低減した分だけ、スイッチング電流が大きくなり出力アップすることができる。さらに、インバータ回路を並列接続させることで、スイッチング素子1個あたりの回路電流が低減して、導通損失が低減できる。またスイッチング素子の電流波形の固有周波数の2分の1の周期をスイッチング素子のオン時間と等しく設定した場合には、回路出力の大きい、しかもスイッチング損失の小さい低電圧入力インバータ電子レンジの駆動回路が実

現する。

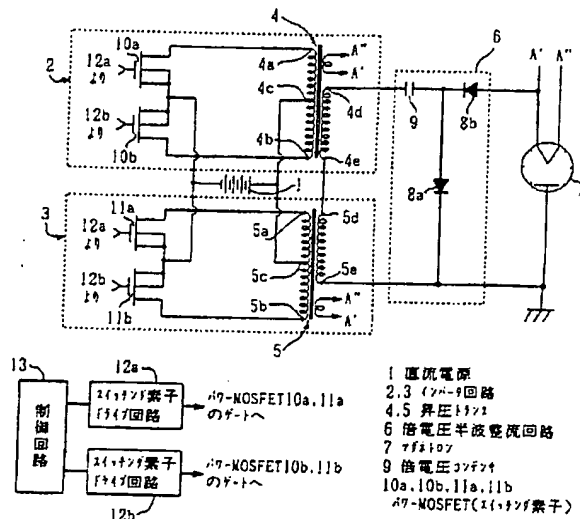
12a, 12b...スイッチング素子ドライブ回路。

#### 4. 図面の簡単な説明

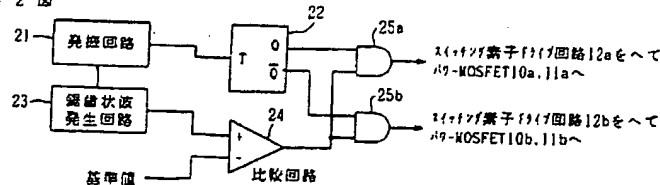
第1図は本発明の実施例に係るインバータ電子レンジの駆動回路の回路図、第2図は制御回路のブロック図、第3図は制御回路の各制御信号の波形図、第4図(a)は本実施例のパワーMOSFETのスイッチング電流波形を示す図、第4図(b)、(c)は比較例のパワーMOSFETのスイッチング電流波形を示す図、第5図は本実施例のパワーMOSFETのスイッチング損失の説明図、第6図は一般的なスイッチング素子のスイッチング損失の説明図、第7図は回路抵抗とスイッチング電流の関係を示す図、第8図は従来のインバータ電子レンジの回路ブロック図、第9図は低電圧直流電源を用いて従来のインバータ電子レンジを駆動する方法を示す図である。

- 1...直流電源、2...インバータ回路、
- 4、5...昇圧トランス、
- 6...倍電圧半波整流回路、
- 10a, 10b, 11a, 11b...パワーMOSFET、

第1図

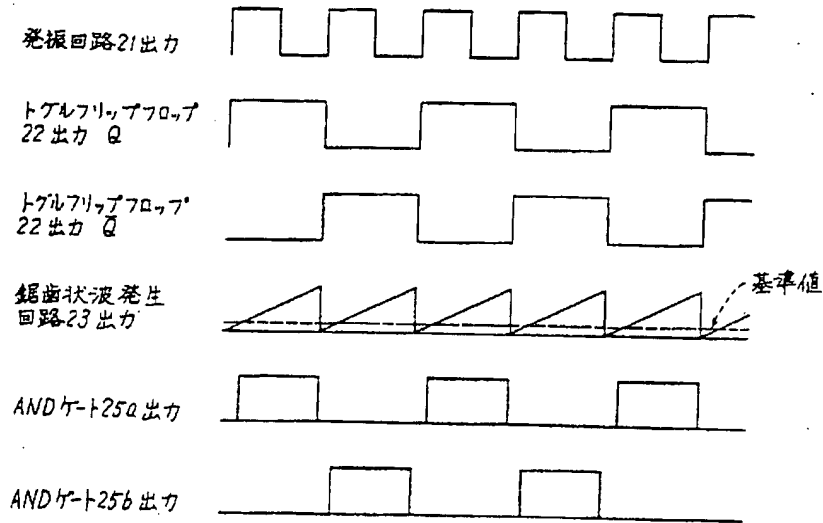


第2図

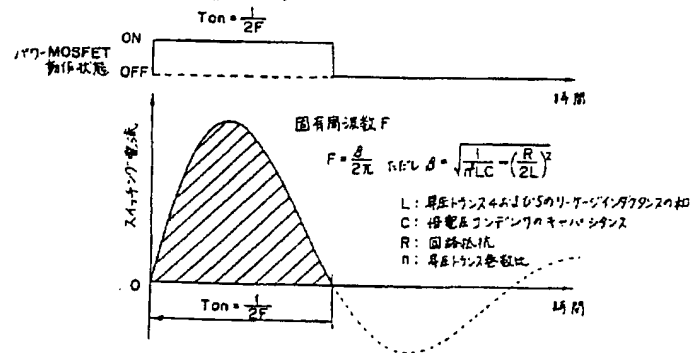




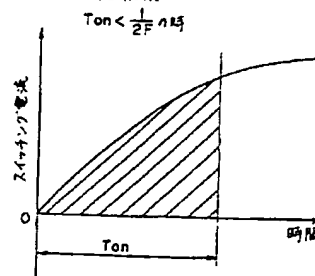
第3図



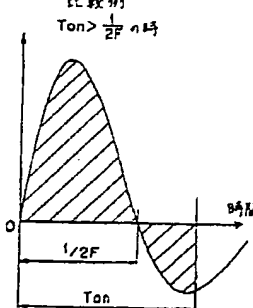
第4図(a)  
不透明の実施例



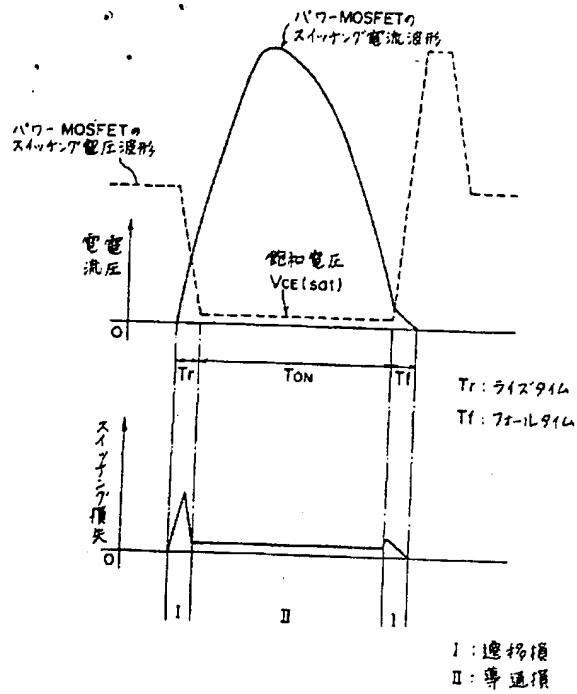
第4図(b)  
比較例



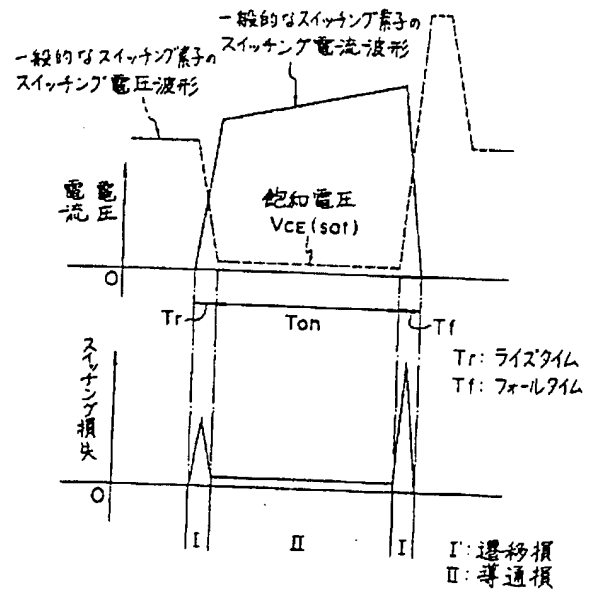
第4図(c)  
比較例



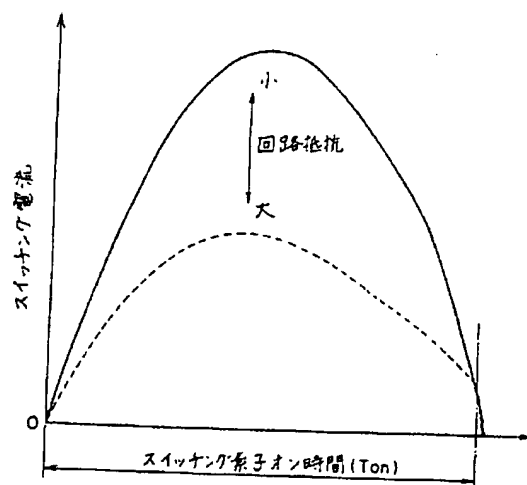
第 5 図



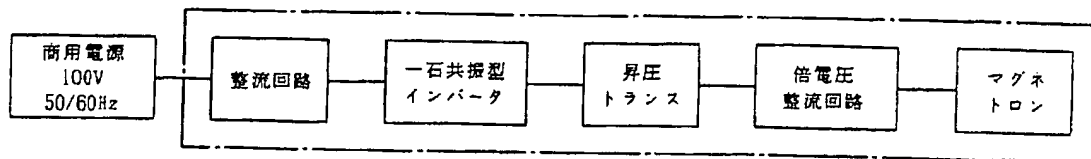
第 6 図



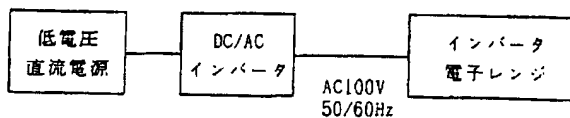
第 7 図



第 8 図



第 9 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**